

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-116985

⑤ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)4月17日

H 01 L 29/788
27/112
29/792

7514-4M H 01 L 29/78 3 7 1
8831-4M 27/10 4 3 3

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 半導体メモリ装置

⑯ 特 願 平2-237434

⑰ 出 願 平2(1990)9月7日

⑱ 発 明 者 中 村 典 生 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

ることを特徴とする半導体メモリ装置。

発 明 の 名 称

半導体メモリ装置

発 明 の 詳 細 な 説 明

〔産業上の利用分野〕

本発明は半導体メモリ装置に関し、特にフローティングゲートトンネル酸化膜型(以後、FLOTOX型と略記する)不揮発性メモリ素子を有する半導体メモリ装置に関する。

〔従来の技術〕

第3図の断面図を用いて、従来のFLOTOX型不揮発性メモリ素子を有する半導体メモリ装置の構造を説明する。

P型半導体基板11に、低濃度N型不純物層8、ゲート酸化膜12、及びセレクトゲート1とからなるメモリ素子選択のためのセレクトトランジスタが形成されている。P型半導体基板11表面にはこのセレクトトランジスタと電気的に接続されるようにメモリ素子のドレイン、ソースとなるN型不純物層8、8aが形成され、更に、P型半導体基板11上にはゲート酸化膜12が、N型不

特 許 請 求 の 範 囲

フローティングゲートトンネル酸化膜型不揮発性メモリ素子及びセレクトトランジスタを含む半導体メモリ装置において、

前記フローティングゲートトンネル酸化膜型不揮発性メモリ素子のドレイン側には、第1のセレクトゲートを具備した第1のセレクトトランジスタを有し、

前記フローティングゲートトンネル酸化膜型不揮発性メモリ素子のソース側には、第2のセレクトゲートを具備した第2のセレクトトランジスタを有し、

前記フローティングゲートトンネル酸化膜型不揮発性メモリ素子のフローティングゲート下には、ディプレッション型のチャンネル領域を有す

純物層 6 上には電荷の注入・放出を行なうための薄い酸化膜（以下、トンネル酸化膜と記す）10 が形成されている。N 型不純物層 6、6a 表面のトンネル酸化膜 10 及びゲート酸化膜 12 上には、多結晶シリコンからなるフローティングゲート 4、絶縁膜 13、及び多結晶シリコンからなるコントロールゲート 3 から構成された 2 層構造の FLOTOX 型不揮発性メモリ素子の電極が形成されている。表面には層間絶縁膜 9 が形成され、低濃度 N 型不純物層 8 上の層間絶縁膜 9 に開口部が設けられ、開口部にはアルミ配線（デジット線）2 が形成されている。

上述の構造を有する半導体メモリ装置における動作原理は以下のようになっている。コントロールゲート 3 に高電圧を印加することにより、フローティングゲート 4 にトンネル酸化膜 10 を介して N 型不純物層 6 から電荷（電子）を注入する。あるいは、セレクトゲート 1 を含むセレクトトランジスタを介して N 型不純物層 8 に高電圧を印加することにより、フローティングゲート 4 から N

型不純物層 6 に電荷（電子）を放出する。その結果、ゲート酸化膜 12 にかかる電界が変化し、コントロールゲート 3 に基準電位を印加したとき、メモリ素子に電流が流れるか否かで「1」あるいは「0」の判定を行なっている。

〔発明が解決しようとする課題〕

上述した従来の構造の FLOTOX 型不揮発性メモリ素子を含んだ半導体メモリ装置において、回路構成は第 4 図に示すように、数ビットのメモリ素子（M1, M2, M3, …）のソース（S1, S2, S3, …）がソースライン（ V_s ）により接続されている。そのため、例えばセレクトゲート及び選択したデジット線（D1, D2, D3, …の内から選択）に高電圧を印加してデータを書込む場合、ある程度書込が進むとソース側の電位が持ち上るようになり、同一のソースライン（ V_s ）に接続するソースの数が多くなるほどソースラインを充電するための時間が長くなり、その結果、書込速度が低下するという第 1 の問題がある。

第 2 の問題点について、第 5 図のグラフを参照して説明する。同図は、書換え電圧に対するメモリ素子の書込「1」、消去「0」の判定が可能なコントロールゲート印加電圧 V_{TM} の限界値の関係を示している。メモリ素子のデータ読出しに際しては、コントロールゲートに基準電圧を印加しているが、この基準電圧は、データの書込・消去及び読出しのマージン等を考慮すると、第 5 図において、消去の線 A と書込の線 B との中央値（以下、 V_{co} センタ値と略す）と一致させることが望ましい。

しかし、従来構造のメモリ素子では、一般に V_{co} センタ値は +3 V 程度の値を示す。

そのため、例えば電源電圧が低い場合には基準電圧を V_{co} センタ値まで高くできないという問題が生じる。これと並んで、使用電源電圧が 3～7 V と広い場合にはその中で安定した基準電位を発生できなくなるか、あるいは基準電位を安定化させるために複雑な回路の付加を余儀なくせられるという問題がある。

逆に、 V_{co} センタ値を 0 V に下げようとする、前述の第 1 の問題がより顕著に表われるために、ソースラインの充電時間により書込時間を長くしてしまうという問題が生じる。

〔課題を解決するための手段〕

本発明の半導体メモリ装置は、FLOTOX 型不揮発性メモリ素子及びセレクトトランジスタを含む半導体メモリ装置において、FLOTOX 型不揮発性メモリ素子のドレイン側には、第 1 のセレクトゲートを具備した第 1 のセレクトトランジスタを有し、FLOTOX 型不揮発性メモリ素子のソース側には、第 2 のセレクトゲートを具備した第 2 のセレクトトランジスタを有し、FLOTOX 型不揮発性メモリ素子のフローティングゲート下には、ディプレッション型のチャネル領域を有している。

〔実施例〕

次に本発明について図面を参照して説明する。

第 1 図は本発明の第 1 の実施例を説明するための断面図である。

P型半導体基板11表面にメモリ素子のドレイン、ソースとなるN型不純物層8、8aを形成し、メモリ素子のゲート領域に例えば熱酸化法によりゲート酸化膜12を形成する。次にフォトリソグラフィ技術、イオン注入技術を用いて、チャンネル領域7aをディプレッションあるいはこれに近い状態にするために、例えば加速エネルギー50〜70keV、 $1 \times 10^{12} \text{ cm}^{-2}$ 程度の量をイオン注入する。続いて、フォトリソグラフィ技術、エッチング技術によりトンネル窓を開口し、例えば熱酸化法によりトンネル酸化膜10を形成する。次にLPCVD法により膜厚200〜400nm程度の多結晶シリコン膜を堆積し、多結晶シリコン膜にN型不純物を添加した後これをパターンニングしてフローティングゲート4を形成する。その後、熱酸化法等によりフローティングゲート4表面に絶縁膜13を形成する。更にLPCVD法により多結晶シリコン膜を堆積してN型不純物を添加した後、これをパターンニングして第1セレクトゲート5a、第2セレクトゲート5b、

及びコントロールゲート3形成する。続いて、第1セレクトゲート5a、第2セレクトゲート5b、及びコントロールゲート3をマスクに用いたイオン注入により低濃度N型不純物層8が形成され、これにより第1のセレクトトランジスタ、及び第2のセレクトトランジスタが形成される。引き続き、層間絶縁膜9が堆積され、第1セレクトトランジスタの低濃度N型不純物層8上の層間絶縁膜9に開口部が設けられ、この開口部にアルミ配線（デジット線）2が形成される。

上述の製造方法により、FLOTOX型不揮発性メモリ素子、第1のセレクトトランジスタ、及び第2のセレクトトランジスタから構成される本実施例の半導体メモリ装置が得られる。

上述の半導体メモリ装置において、フローティングゲート4の電荷（電子）の放出・注入、及び読出しは、以下の動作により実現できる。

フローティングゲート4への電荷の注入は、従来と同様、コントロールゲート3に高電圧を印加することによりN型不純物層8からなされる。ま

た、第1セレクトゲート5a、及びアルミ配線（デジット線）2に高電圧を印加し、第2セレクトゲート5b、及びコントロールゲート3は接地しておくことにより、フローティングゲート4からの電荷の放出が行なわれる。この状態で、フローティングゲート4からの電荷の放出によりチャンネル領域7aがディプレッション状態になっても、印加された高電圧は第2セレクトゲート5bによりカットされ、メモリ素子のソースであるN型不純物層8aへ高電圧が漏れることはない。

更にデータの読出しにおいては、第1セレクトゲート5a、及び第2セレクトゲート5bにある電位を印加し、コントロールゲート3は接地し、アルミ配線（デジット線）2に電圧を印加し、電流が流れるか否かで「1」または「0」の判定が可能である。

第2図は本発明の第2の実施例を説明するための断面図である。

本実施例においては、第2セレクトゲート5cの形成はフローティングゲート3の形成と同時に

行なう。次に、フローティングゲート3及び第2セレクトゲート5cをマスクにしたイオン注入により、低濃度N型不純物層14が形成される。絶縁膜13aは絶縁膜13と同時に形成される。低濃度N型不純物層8aは低濃度N型不純物層8と同時に形成される。

本実施例によれば、半導体メモリ装置の縮小が可能となり、また、本発明の第1の実施例に比べて動作特性上何ら遜色はない。

〔発明の効果〕

以上説明したように本発明は、FLOTOX型不揮発性メモリ素子及びセレクトトランジスタから構成される半導体メモリ装置において、FLOTOX型不揮発性メモリ素子のドレイン側には、第1のセレクトゲートを具備した第1のセレクトトランジスタを有し、FLOTOX型不揮発性メモリ素子のソース側には、第2のセレクトゲートを具備した第2のセレクトトランジスタを有し、FLOTOX型不揮発性メモリ素子のフローティングゲート下には、ディプレッション型のチャ

ネル領域を有している。

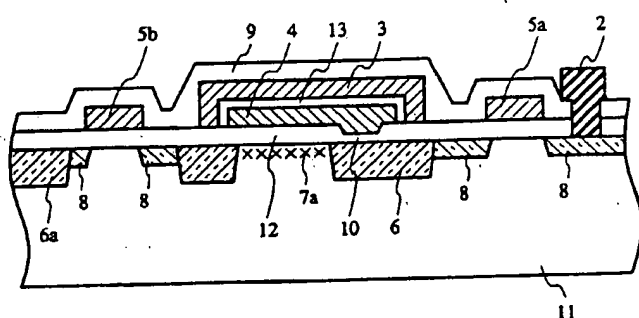
これにより、データ書込時にソースラインを充電する時間は不用となり、書込速度を低下させずに書込が行なえるようになる。

また、フローティングゲート下のチャンネル領域をディプレッション状態あるいはこれに近い状態にしておくことにより、 V_{co} センタ値を 0 V 前後に設定できるようになり、読出し時にコントロールゲートに印加する基準電圧発生回路は通常の単純な構成ですむことになる。

図面の簡単な説明

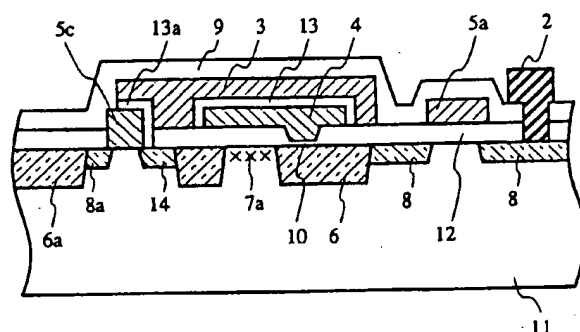
第1図は本発明の第1の実施例を説明するための断面図、第2図は本発明の第2の実施例を説明するための断面図、第3図は従来のFLOTOS型不揮発性メモリ素子を有する半導体メモリ装置の構造を説明するための断面図、第4図は従来の半導体メモリ装置の回路図、第5図は従来の半導体メモリ装置の書き込み・消去特性を説明するためのグラフである。

代理人 弁理士 内 原 晋



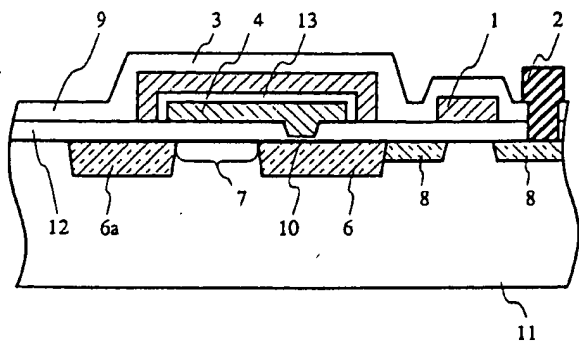
- | | |
|------------------|--------------------|
| 2...デジタル線 | 8,8a...低濃度 N 型不純物層 |
| 3...コントロールゲート | 9...層間絶縁膜 |
| 4...フローティングゲート | 10...トンネル酸化膜 |
| 5a...第 1 セレクトゲート | 11...P 型半導体基板 |
| 5b...第 2 セレクトゲート | 12...ゲート酸化膜 |
| 6,6a...N 型不純物層 | 13...絶縁膜 |
| 7a...チャンネル領域 | |

第 1 図



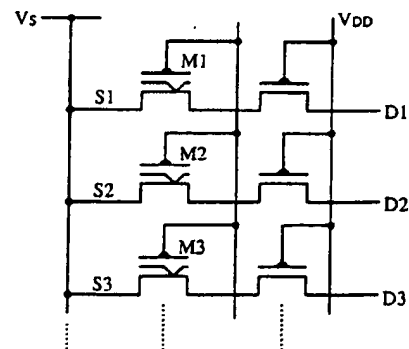
- | | |
|----------------|---------------------|
| 2…デジット線 | 8,8a,14…低濃度 N 型不純物層 |
| 3…コントロールゲート | 9…層間絶縁膜 |
| 4…フローティングゲート | 10…トンネル酸化膜 |
| 5a…第 1 セレクトゲート | 11…P 型半導体基板 |
| 5c…第 2 セレクトゲート | 12…ゲート酸化膜 |
| 6,6a…N 型不純物層 | 13,13a…絶縁膜 |
| 7a…チャンネル領域 | |

第 2 図

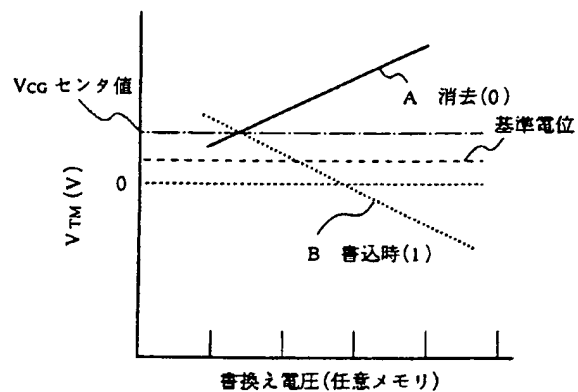


- | | |
|--------------|-------------|
| 1…セレクトゲート | 8…低濃度N型不純物層 |
| 2…デジタル線 | 9…層間絶縁膜 |
| 3…コントロールゲート | 10…トンネル酸化膜 |
| 4…フローティングゲート | 11…P型半導体基板 |
| 6,6a…N型不純物層 | 12…ゲート酸化膜 |
| 7…チャンネル領域 | 13…絶縁膜 |

第3図



第4図



第5図